

GaN BASED HIGH MOBILITY TRANSISTOR

Publication number: JP2002184972 (A)

Publication date: 2002-06-28

Inventor(s): YOSHIDA KIYOTERU

Applicant(s): FURUKAWA ELECTRIC CO LTD

Classification:


- international: *H01L29/812; H01L21/203; H01L21/338; H01L29/778; H01L29/20; H01L21/02; H01L29/66; H01L29/02; (IPC1-7): H01L29/778; H01L21/203; H01L21/338; H01L29/812*

- European: H01L29/778E2


Application number: JP20000385219 20001219

Priority number(s): JP20000385219 20001219

Also published as:

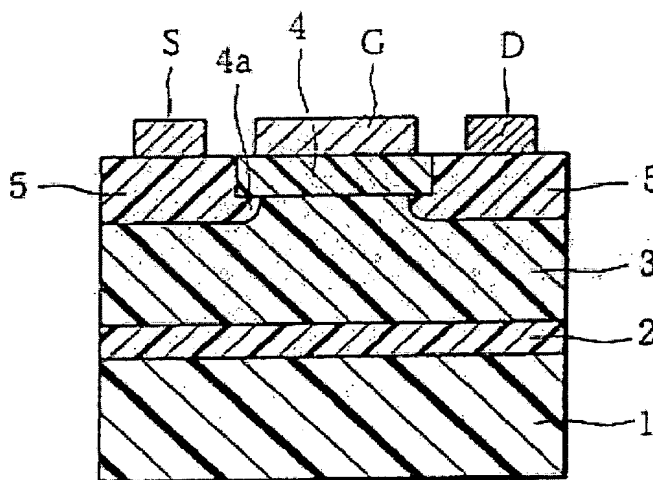
 JP3428962 (B2)

 US2002079508 (A1)

 US6534801 (B2)

Abstract of JP 2002184972 (A)

PROBLEM TO BE SOLVED: To provide a GaN based high mobility transistor in which an i-type GaN layer for forming a two-dimensional electron gas layer has a high electric resistivity and pinch-off state can be realized even when the gate bias voltage is 0 V. **SOLUTION:** On a GaN buffer layer 2 formed on a semi-insulating substrate 1, a layer structure of an i-type GaN layer 3 having an electric resistivity not lower than $1 \times 10^6 \text{ } \Omega/\text{cm}^2$, an i-type AlGaIn layer 4 disposed in heterojunction with the i-type GaN layer 3 while forming an undercut part 4a at the i-type GaN layer, and an n-type GaN layer 5 disposed to bury the side part and the undercut part 4a of the i-type AlGaIn layer 4 is formed wherein a gate electrode G is formed on the i-type AlGaIn layer 4 and a source electrode S and a drain electrode D are formed, respectively, on the n-type GaN layers 5 and 5 thus constituting a GaN based high mobility transistor.



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-184972

(P2002-184972A)

(43) 公開日 平成14年6月28日 (2002. 6. 28)

(51) Int.Cl.⁷

識別記号

F I

テ-マ-ト (参考)

H 0 1 L 29/778

H 0 1 L 21/203

M 5 F 1 0 2

21/338

29/80

H 5 F 1 0 3

29/812

21/203

審査請求 有 請求項の数 2 O L (全 5 頁)

(21) 出願番号

特願2000-385219(P2000-385219)

(22) 出願日

平成12年12月19日 (2000. 12. 19)

(71) 出願人 000005290

古河電気工業株式会社

東京都千代田区丸の内2丁目6番1号

(72) 発明者 吉田 清輝

東京都千代田区丸の内2丁目6番1号 古

河電気工業株式会社内

(74) 代理人 100090022

弁理士 長門 侃二

Fターム(参考) 5F102 GB01 GC01 GD01 GJ03 GJ10

GK04 GL04 GM04 GQ01 GR00

HC01 HC16

5F103 AA04 DD30 GG01 HH03 LL08

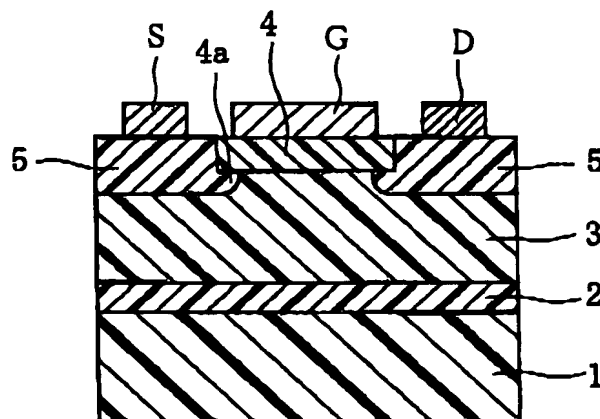
NN01 RR05

(54) 【発明の名称】 GaN系高移動度トランジスタ

(57) 【要約】

【課題】 2次元電子ガス層が形成されるI型GaN層が高い電気抵抗率を有し、ゲートバイアス電圧が0Vのときでもピンチオフ状態を実現することができるGaN系高移動度トランジスタを提供する。

【解決手段】 半絶縁性基板1の上に形成されたGaNバッファ層2の上に、電気抵抗率が $1 \times 10^4 \Omega/\text{cm}$ 以上であるI型GaN層3と、I型GaN層3との間にアンダーカット部4aが形成された状態で当該I型GaN層とヘテロ接合して配置されているI型AlGaN層4と、I型AlGaN層4の側部およびアンダーカット部4aを埋設して配置されているn型GaN層5とから成る層構造が形成され、I型AlGaN層4の上にはゲート電極G、n型GaN層5、5の上にはソース電極Sとドレイン電極Dがそれぞれ形成されているGaN系高移動度トランジスタ。



(2)

特開2002-184972

2

【特許請求の範囲】

【請求項1】 半絶縁性基板の上に形成されたバッファ層の上に、電気抵抗率が $1 \times 10^4 \Omega/\text{cm}$ 以上であるi型GaN層と、前記i型GaN層との間にアンダーカット部が形成された状態で当該i型GaN層とヘテロ接合して配置されているi型AlGaN層と、前記i型AlGaN層の側部および前記アンダーカット部を埋設して配置されているn型GaN層とから成る層構造が形成され、前記i型AlGaN層の上にはゲート電極、前記n型GaN層の上にはソース電極とドレイン電極がそれぞれ形成されていることを特徴とするGaN系高移動度トランジスタ。

【請求項2】 前記i型GaN層には、残留n型不純物を補償するためのp型不純物がドーピングされている請求項1のGaN系高移動度トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はGaN系化合物半導体で製作された高移動度トランジスタに関し、更に詳しくは、チャネルが形成されるi型GaN層を高純度化して高電気抵抗率にすることにより、ゲートバイアス電圧を0Vにしたときにピンチオフ状態を実現することができるGaN系高移動度トランジスタに関する。

【0002】

【従来の技術】 高移動度トランジスタ（HEMT）は例えば高出力マイクロ波素子として期待されていて、現在では主としてGaAs系化合物半導体を用いて製造されている。しかしながら、GaAs系化合物半導体のHEMTは、ヘテロ接合界面の絶縁破壊電界値がそれほど高くないので、ゲート電極に高電圧を印加して高速動作を実現させるという点では難がある。

【0003】 このようなことから、最近では、GaAs系化合物半導体に比べてヘテロ接合界面におけるヘテロ障壁が高く（約2.6倍ほど高い）、絶縁破壊電界値も大きく（約1桁大きい）、また耐熱性にも優れているGaN系化合物半導体を用いたHEMTが注目され、その試作研究が進められている。例えば、次のようなGaN系HEMTがMOCVD法で製作されている。

【0004】 すなわちまず、半絶縁性のサファイア基板の上に、GaNバッファ層が成膜される。ついで、Ga源としてトリメチルガリウム、N源としてアンモニアを用いて前記GaNバッファ層の上にノンドープ（i型）GaN層が成膜され、更にトリメチルアルミニウムをAl源、Siをn型不純物として用いることにより前記i型GaN層の上にn型AlGaN層が成膜される。そして、このn型AlGaN層の上にSiO₂をプラズマCVD法で堆積させたのち、常法のフォトリソグラフィとエッチングを行い、更に所定材料を蒸着して所定の箇所にゲート電極、ソース電極、およびドレイン電極が形成される。

【0005】 上記した層構造において、ゲート電極が形成されているn型AlGaN層の箇所はその下に配置されているi型GaN層への電子の供給源として機能する。そして、供給された電子により、i型GaN層とn型AlGaN層のヘテロ接合界面、具体的にはi型GaN層の最上層部には2次元電子ガス層が形成され、ここを電子が高速移動してHEMT動作が実現される。このとき、電子の高速移動を実現するためには、このi型GaN層には極力不純物や格子欠陥の存在していないことが必要とされる。

【0006】

【発明が解決しようとする課題】 しかしながら、上記した層構造のHEMTの場合、例えばMOCVD法で成膜したi型GaN層には、通常、多量の格子欠陥、とりわけ窒素原子の未結合に基づく多量の格子欠陥が存在している。そして、この格子欠陥はn型不純物として残存し、これがドナー不純物（以下、残留n型不純物という）として作用するので、成膜されたGaN層は高抵抗にならず、n型半導体層としての性質を示すことになる。具体的には、濃度が $1 \times 10^{16} \text{cm}^{-3}$ 程度のn型不純物がドーピングされた状態と同じような状態になり、電気抵抗率は $500 \Omega/\text{cm}$ 程度になってしまう。

【0007】 このような状態は、i型GaN層の電気抵抗率を低下せしめることになるため、ゲートバイアス電圧を0Vにしてもピンチオフ状態を実現できないという結果を招く。このように、従来のGaN系HEMTにおいては、成膜時の上記した問題に基づきi型GaN層にはn型不純物がドーピングされた状態になるため、当該i型GaN層を高抵抗化することができず、そのため電子の高速移動度は十分に大きいとはいえず、またゲートバイアス電圧を0Vにしてもピンチオフ状態を実現できないという問題があった。

【0008】 本発明はGaN系HEMTにおける上記した問題を解決し、上記した残留n型不純物の影響を消去することにより、i型GaN層の電気抵抗率を極めて大きくして電子の高速移動を可能にすると同時に、ゲートバイアス電圧を0Vにしてもピンチオフ状態を実現することができる新規なGaN系高移動度トランジスタの提供を目的とする。

【0009】

【課題を解決するための手段】 上記した目的を達成するために、本発明においては、半絶縁性基板の上に形成されたバッファ層の上に、電気抵抗率が $1 \times 10^4 \Omega/\text{cm}$ 以上であるi型GaN層と、前記i型GaN層との間にアンダーカット部が形成された状態で当該i型GaN層とヘテロ接合して配置されているi型AlGaN層と、前記i型AlGaN層の側部および前記アンダーカット部を埋設して配置されているn型GaN層とから成る層構造が形成され、前記i型AlGaN層の上にはゲート電極、前記n型GaN層の上にはソース電極とドレイン

(3)

特開2002-184972

3

電極がそれぞれ形成されていることを特徴とするGa_{0.5}N_{0.5}系高移動度トランジスタが提供される。その場合、前記1型Ga_{0.5}N_{0.5}層は、その成膜時にp型不純物をドーピングして、前記した残留n型不純物を補償して成膜することが好ましい。

【0010】

【発明の実施の形態】以下、本発明のHEMTにつき、その基本構造を図1に基づいて説明する。本発明のHEMTの1例を図1に示す。このHEMTの層構造は、MOCVD法やMBE法などのエピタキシャル結晶成長法とフォトリソグラフィとを組み合わせるが、まず、半絶縁性基板1の上にバッファ層2が成膜され、そして、このバッファ層2の上に、後述する1型Ga_{0.5}N_{0.5}層3が成膜される。

【0011】この1型Ga_{0.5}N_{0.5}層3の上には1型Al_{0.5}Ga_{0.5}N_{0.5}層4がヘテロ接合して配置されている。その場合、1型Al_{0.5}Ga_{0.5}N_{0.5}層4の両側の下面と1型Ga_{0.5}N_{0.5}層3の間にはアンダーカット部4aが形成されている。更に、1型Ga_{0.5}N_{0.5}層3の上には、前記1型Al_{0.5}Ga_{0.5}N_{0.5}層4の両側部とアンダーカット部4aを埋設した状態でn型Ga_{0.5}N_{0.5}層5、5が形成されている。

【0012】そして、1型Al_{0.5}Ga_{0.5}N_{0.5}層4の上には、例えばAuから成るゲート電極Gが形成され、1型Al_{0.5}Ga_{0.5}N_{0.5}層4の両側に位置するn型Ga_{0.5}N_{0.5}層5、5の上には、例えばAlから成るソース電極Sとドレイン電極Dがそれぞれ形成されている。ここで、半絶縁性基板1としては、本来は、この上に順次成膜していく各半導体材料との間で格子整合している材料であることが好ましいのであるが、Ga_{0.5}N_{0.5}系材料に関してはそのような材料は存在しないので、例えば、サファイヤやSi単結晶などの半絶縁性材料から成る基板であればよい。また、バッファ層2の材料としては、通常、Ga_{0.5}N_{0.5}が選択される。

【0013】この層構造のHEMTの場合、その作動時に1型Ga_{0.5}N_{0.5}層3の最上層部に2次元電子ガス層が形成されて電子の高速移動が発現する。そして、本発明のHEMTにおいては、この1型Ga_{0.5}N_{0.5}層3の電気抵抗率が $1 \times 10^{-4} \Omega/\text{cm}$ 以上の値となっていて、ゲートバイアス電圧を0Vにしたときにピンチオフ状態を実現することができる。

【0014】上記したような高抵抗の1型Ga_{0.5}N_{0.5}層3は、次のような方法で形成することができる。すなわち、1型Ga_{0.5}N_{0.5}の成膜時に、例えばC、Mgなどのp型不純物を同時にドーピングすることにより、1型Ga_{0.5}N_{0.5}の成膜時に生成する前記残留n型不純物（格子欠陥）を補償して当該1型Ga_{0.5}N_{0.5}層における実効的なキャリア濃度を低減する。1型Ga_{0.5}N_{0.5}層における残留n型不純物の濃度は、採用する結晶成長法やその成長条件などによっても異なるが、通常、 $5 \times 10^{10} \sim 5 \times 10^{11} \text{ cm}^{-3}$ であるので、上記p型不純物のドーピング量は $2 \times 10^{17} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 程度にすれば、得られる1型Ga_{0.5}N_{0.5}層の電気

4

抵抗率を $1 \times 10^{-4} \Omega/\text{cm}$ 以上にすることができる。

【0015】このp型不純物の1型Ga_{0.5}N_{0.5}層3へのドーピングに関しては、1型Al_{0.5}Ga_{0.5}N_{0.5}層4との接合界面に近接した最上層部に、残留n型不純物の濃度よりも1桁以上高い濃度となるようにドーピングすると、1型Al_{0.5}Ga_{0.5}N_{0.5}層4から確実に電子が流れなくなるのでピンチオフ状態の実現にとって有効である。このHEMTは次のようにして製造することができる。

【0016】まず、図2で示したように、基板1の上に、バッファ層2、1型Ga_{0.5}N_{0.5}層3、および1型Al_{0.5}Ga_{0.5}N_{0.5}層4を順次成膜してスラブ層構造を形成する。1型Ga_{0.5}N_{0.5}層3の成膜時には、例えばCをドーピングして残留n型不純物の補償を行う。ついで、1型Al_{0.5}Ga_{0.5}N_{0.5}層4の全面に例えばSiO₂膜を成膜したのち、ゲート電極を形成すべき箇所の部分6を除いて他のSiO₂の膜を除去し、1型Al_{0.5}Ga_{0.5}N_{0.5}層4を表出させる（図3）。

【0017】そして、SiO₂膜6をマスクにしてプラズマエッチングのようなドライエッチングを行い、表出している1型Al_{0.5}Ga_{0.5}N_{0.5}層4とその下に位置する1型Ga_{0.5}N_{0.5}層3の一部を除去する（図4）。このとき、エッチング条件を調整することにより、1型Ga_{0.5}N_{0.5}層3と1型Al_{0.5}Ga_{0.5}N_{0.5}層4の間には、アンダーカット部4aを形成する。

【0018】ついで、例えば選択成長法で、表出している1型Ga_{0.5}N_{0.5}層3の上に、例えばSiをn型不純物にしてn型Ga_{0.5}N_{0.5}層を形成すると同時に、上記したアンダーカット部4aをn型Ga_{0.5}N_{0.5}で埋設する（図5）。ここで、上記したアンダーカット部4aは、1型Ga_{0.5}N_{0.5}層3と1型Al_{0.5}Ga_{0.5}N_{0.5}層4の接合界面に発生する2次元電子ガス層とn型Ga_{0.5}N_{0.5}層5との電気的な導通を良好にするために設けられている。

【0019】そして、1型Al_{0.5}Ga_{0.5}N_{0.5}層4の上のSiO₂膜6を除去し、全面に再びSiO₂膜を形成したのち、電極の形成を行う。すなわち、まず、フォトリソグラフィとエッチングを組み合わせ、ソース電極とドレイン電極を形成すべき箇所のSiO₂膜を除去し、表出した開口部に例えばAlを蒸着してソース電極Sとドレイン電極Dを形成する。ついで、SiO₂膜を除去し、全面に再びSiO₂膜を形成し、そこにフォトリソグラフィとエッチングを組み合わせ、ゲート電極を形成すべき箇所のSiO₂膜を除去し、表出した開口部に例えばAuを蒸着してゲート電極Gを形成して、図1で示したHEMTを得る。

【0020】

【実施例】成長室とパターニング室を有する超真空装置を用いて、まず、Si単結晶基板1の上に、Ga源として金属Ga（ $5 \times 10^{-4} \text{ Torr}$ ）、N源としてジメチルヒドラジン（ $5 \times 10^{-4} \text{ Torr}$ ）を用い、成長温度640℃でガスソースMBEを行い、厚み50nmのGa_{0.5}N_{0.5}バッファ層2を成膜した。

(4)

特開2002-184972

5

【0021】ついで、N源をアンモニア (5×10^{-4} Torr) に切換え、成長温度 780°C でガスソースMBEを行い、厚み 2000nm の i 型 GaN 層 3 を形成した。そしてこのとき、p 型不純物として Mg (1×10^{-4} Torr) をドーブして、i 型 GaN 層 3 のキャリア濃度を $1 \times 10^{18}\text{cm}^{-3}$ に調整した。なお、別試験として、同じ条件で同じ i 型 GaN 層を成膜し、その電気抵抗率を、非接触タイプの接触抵抗測定装置で測定したところ、 $100\text{m}\Omega/\text{cm}^2$ になっていた。

【0022】ついで、金属 Al (1×10^{-7} Torr) を供給し、成長温度 850°C でガスソースMBEを行い、厚み 30nm の i 型 Al_{0.2}Ga_{0.8}N 層 4 を成膜し、図 2 で示した層構造を形成した。この層構造の i 型 Al_{0.2}Ga_{0.8}N 層 4 の全面に、プラズマ CVD 装置で SiO₂ 膜を成膜し、ついでパターニングを行い、ゲート電極を形成すべき箇所以外の SiO₂ 膜を除去したのち、プラズマを用いたドライエッチングを行い、図 4 で示した層構造を形成した。なお、このとき、i 型 GaN 層 3 はその接合界面から深さ 40nm までの部分をエッチング除去し、同時に、i 型 AlGa_{0.8}N 層 4 の両側から 20nm 程度

食い込んでいるアンダーカット部 4a も形成した。

【0023】その後、表出している i 型 GaN 層 3 の上に、金属 Ga (5×10^{-7} Torr) を Ga 源、アンモニア (5×10^{-4} Torr) を N 源、また Si (5×10^{-4} Torr) を n 型不純物として選択成長を行い、アンダーカット部 4a を埋設し、また厚み 40nm の n 型 GaN 層 5 を形成した (図 5)。この n 型 GaN 層における Si 濃度は $2 \times 10^{18}\text{cm}^{-3}$ になっている。

【0024】ついで、i 型 AlGa_{0.8}N 層 4 の上の SiO₂ 膜をフッ酸でエッチング除去したのち、再び全体の表面にプラズマ CVD 法で SiO₂ 膜を形成した。そしてまず、パターニングを行って、ゲート電極を形成すべき箇所の SiO₂ 膜をマスクにして、ソース電極とドレイン電極を形成すべき箇所を開口して n 型 GaN 層 5 の表面を表出させ、そこに、Al を蒸着してソース電極 S とドレイン電極 D を形成した。なお、このとき、ゲート電極を形成すべき箇所の SiO₂ 膜は $100\mu\text{m}$ 、長さは $1\mu\text{m}$ であった。

【0025】ついで、SiO₂ 膜をフッ酸でエッチング除去したのち再び全面に SiO₂ 膜を形成し、ゲート電極を形成すべき箇所に開口を形成して i 型 AlGa_{0.8}N 層 4 の表面を表出せしめ、ここに Au を蒸着してゲート電極 G を形成し、図 1 で示した HEMT を製作した。この HEMT は、ゲートバイアス電圧を 0V にして、 V_{ds} を変化させても I_{ds} は $0(\text{mA}/\text{mm})$ のままであった。そして、 V_{gs} を $+3\text{V}$ にしたとき、 I_{ds} は $500\text{nA}/\text{mm}$ の値

6

を示した。

【0026】なお、上記した実施例はガスソースMBEで層構造を形成した例であるが、MOCVD法を適用してもよい。また、n 型 GaN 層 5 の成膜は選択成長法で行っているが、i 型 GaN 層を形成したのちここに例えば Si をイオン注入して n 型とし、低抵抗化してもよい。i 型 GaN 層に p 型不純物として Mg を用いたが、カーボン (C)、Zn を用いてもよいし、更には、これらの不純物を組み合わせて用いてもよい。

【0027】p 型不純物の AlGa_{0.8}N 層への拡散が生ずる場合は、GaN 層の成膜終了前に p 型不純物の供給を絶ち、最上部の $5 \sim 10\text{nm}$ の部分をアンドープの GaN 層にし、その上に AlGa_{0.8}N 層を成膜してもよい。更に、i 型 AlGa_{0.8}N 層 4 としては、組成が Al_{0.2}Ga_{0.8}N のものを用いたが、一般に、組成は、Al_xGa_{1-x}N ($0 \leq x \leq 1.0$) であればよい。また、ゲート電極 G と i 型 AlGa_{0.8}N 層 4 とコンタクトを良好にするために、当該 i 型 AlGa_{0.8}N 層 4 の上に、例えば InGa_{0.8}N や GaN を薄く成膜したのちその上にゲート電極 G を形成してもよい。

【0028】

【発明の効果】以上の説明で明らかなように、本発明の GaN 系 HEMT は、ゲートバイアス電圧が 0V のときでもピンチオフ状態を実現することができる。これは、2 次元電子ガス層が形成される i 型 GaN 層の成膜時に多数発生する格子欠陥である残留 n 型不純物が当該成膜時にドーブされる p 型不純物で補償されるので、成膜された i 型 GaN 層は、その電気抵抗率が $1 \times 10^6\Omega/\text{cm}^2$ 以上になっているからである。

【図面の簡単な説明】

【図 1】本発明の HEMT の 1 例を示す断面図である。

【図 2】本発明の HEMT を製造するための層構造を示す断面図である。

【図 3】図 2 の層構造に SiO₂ 膜のマスクを形成した状態を示す断面図である。

【図 4】図 3 の層構造にドライエッチングを行ったときの状態を示す断面図である。

【図 5】n 型 GaN 層を形成した状態を示す断面図である。

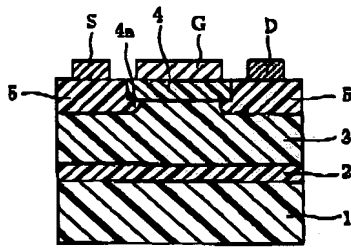
【符号の説明】

- | | |
|---|-----------------------------|
| 1 | 半絶縁性基板 |
| 2 | バッファ層 |
| 3 | i 型 GaN 層 |
| 4 | i 型 AlGa _{0.8} N 層 |
| 5 | n 型 GaN 層 |
| 6 | SiO ₂ 膜 |

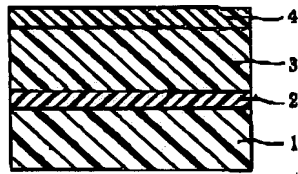
(5)

特開2002-184972

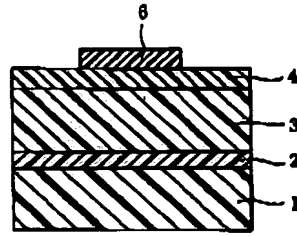
【図1】



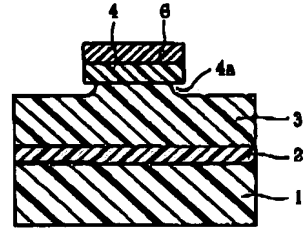
【図2】



【図3】



【図4】



【図5】

